



IFW

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

On March 20, 2009
TOWNSEND and TOWNSEND and CREW LLP

By: Ginger Harenberg
Ginger Harenberg

PATENT
Docket No.: 021653-000900US
Client Ref. No.: I-02-049

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

HERB H. HUANG

Application No.: 10/773,522

Filed: February 06, 2004

For: SEMICONDUCTOR MEMORY CELL
WITH BURIED DOPANT BIT LINES AND
SALICIDED POLYSILICON WORD LINES
ISOLATED BY AN ARRAY OF BLOCKS

Customer No.: 20350

Confirmation No.: 6565

Examiner: Matthew C. Landau

Art Unit: 2815

**COMMUNICATION TO SUBMIT
PRIORITY DOCUMENT**

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Applicants respectfully submits as required by 35 U.S.C. 119 (b) that enclosed
Certified Priority Document for Chinese application No. 200310122970.0, filed on 12/30/2003 be
made of record in the above-referenced application.

Respectfully submitted,

Dah-Bin Kao
Reg. No. 53,092

TOWNSEND and TOWNSEND and CREW LLP
Two Embarcadero Center, Eighth Floor
San Francisco, California 94111-3834
Tel: (415) 576-0200
Fax: (415) 576-0300
DBK:glh
61856245 v1

中华人民共和国国家知识产权局
STATE INTELLECTUAL PROPERTY OFFICE
OF THE PEOPLE'S REPUBLIC OF CHINA



证 明

本证明之附件是向本局提交的下列专利申请副本

申 请 日： 2003.12.30

申 请 号： 200310122970.0

申 请 类 别： 发明专利

发明创造名称： ROM存储器及其制造方法

申 请 人： 中芯国际集成电路制造（上海）有限公司

发明人或设计人： 李海艇、 黄河、 徐雯

中华人民共和国
国家知识产权局局长

回力普

2008年5月15日

权 利 要 求 书

03NI0352

1. 一种用于制造 ROM 存储器件的方法，所述方法包括：

5 在半导体衬底的单元区域内形成沟槽隔离结构，所述单元区域是 ROM 存储器件的阵列区域；

在所述单元区域内形成栅极结构；

在栅极结构上形成侧壁隔离物，所述侧壁隔离物结构被布置成和所述单元区域内的所述沟槽隔离结构的一部分重叠，用于将所述单元区域的被掩埋的位线区域和临近的单元区域分隔开；

10 施加难熔金属层，覆盖在包括侧壁隔离物和所述沟槽隔离结构的暴露部分的栅极结构上；

将所述难熔金属层熔合到所述栅极结构以及源/漏区域的暴露部分以形成覆盖在栅极区域和源/漏区域上的硅化物区域；并且

15 选择性地从侧壁隔离物和所述沟槽隔离结构的暴露部分去除所述难熔金属层。

2. 如权利要求 1 所述的方法，其中，所述难熔金属层是钛、钴、钼、钽、铂、钨。

3. 如权利要求 1 所述的方法，其中，所述沟槽隔离区域是浅沟隔离区域。

20 4. 如权利要求 3 所述的方法，其中，所述浅沟隔离区域包括二氧化硅。

5. 如权利要求 1 所述的方法，其中，所述单元区域具有使用小于约 0.25 微米或更小的长度的沟道区域。

6. 如权利要求 1 所述的方法，其中，所述侧壁隔离物是电介质材料。

25 7. 如权利要求 1 所述的方法，其中，所述的被掩埋的位线结构位于源/漏区内。

8. 如权利要求 1 所述的方法，其中，所述沟槽隔离位于所述半导体衬底的预定深度内，所述预定深度大于所述被掩埋的位线的结深度。

9. 如权利要求 1 所述的方法，其中，所述栅极结构具有 0.25 微米或更

小的宽度。

10. 如权利要求 1 所述的方法，其中，所述阵列至少具有 8 乘 8 个单元。

11. 一种半导体集成电路存储器件，包括：

5 半导体衬底，所述衬底包括 ROM 器件的存储单元阵列区域和外围区域，每个存储单元包括：

所述存储单元区域内的沟槽隔离结构；

所述存储单元区域内的栅极结构；

临近所述栅极结构的源/漏区域；

10 临近所述源/漏区域并位于所述栅极结构下面的沟道区域；

连接到所述源/漏区域和所述沟道区域的被掩埋的位线区域；

所述栅极结构上的侧壁隔离物，所述侧壁隔离物结构被布置成和所述存储单元区域内和所述沟槽隔离结构的一部分重叠，用于将存储单元区域的所述的被掩埋的位线区域和临近的存储单元区域分隔开，所述侧壁隔离物结构还被布置成和所述源/漏区域的一部分重叠；

15 覆盖在所述栅极结构的上部部分和所述源/漏区域的暴露部分上形成的难熔金属层，同时保持所述侧壁隔离物和所述沟槽区域结构的暴露部分不和所述难熔金属层接触。

12. 如权利要求 11 所述的器件，其中，所述的被掩埋的位线区域是注入的区域。

20 13. 如权利要求 11 所述的器件，其中，所述外围区域包括一个或多个 MOS 晶体管结构。

14. 如权利要求 11 所述的器件，其中，所述难熔金属层是硅化钛层。

25 15. 如权利要求 11 所述的器件，其中，所述的沟道区域具有约 0.35 微米或更小的长度。

16. 如权利要求 11 所述的器件，其中，所述的沟槽隔离结构被形成到预定的深度，所述预定深度大于所述被掩埋的位线区域的结深度。

17. 如权利要求 11 所述的器件，其中，所述的沟槽区域和与所述沟槽隔离区域部分重叠的所述侧壁隔离物部分的暴露部分将所述存储单元的被

掩埋的位线区域从临近的存储单元区域分隔开。

18. 如权利要求 11 所述的器件，其中，所述源/漏区域位于掩埋区域内。

19. 如权利要求 11 所述的器件，其中，所述栅极结构是 MOS 晶体管
5 栅极结构。

20. 一种 ROM 半导体器件，包括：

在硅衬底上定义的多条交替排列的选择线和位线；

在硅衬底上定义的和所述选择线和位线基本上垂直地排列的多条字
线；

10 在所述硅衬底的刻蚀沟槽区域内定义的多个隔离块，每个块在一对相
互垂直的字线和位线或选择线之间形成，用于隔离相互垂直的一对字线和
隔离所述位线或隔离所述选择线。

21. 如权利要求 20 所述的 ROM 器件，还包括位于所述多条字线、选
择线和位线外的外围区域上的一个或多个 MOS 晶体管结构。

15 22. 如权利要求 20 所述的 ROM 器件，其中，所述选择线及位线是衬
底中的重掺杂区域。

23. 如权利要求 20 所述的 ROM 器件，其中，每条字线包括在所述字
线边沿上定义的侧壁隔离物，每个所述侧壁隔离物包括和多个隔离块的一
部分重叠以及和位线的一部分重叠的部分。

20 24. 如权利要求 20 所述的 ROM 器件，其中，所述隔离块在所述硅衬
底中形成到预定深度，所述预定深度大于所述位线的结深度。

25 25. 如权利要求 20 所述的 ROM 器件，还包括覆盖在所述位线和所述
选择线的暴露部分上形成的，以及覆盖在所述字线的暴露部分上形成的难
熔金属层，所述隔离块基本上不和所述难熔金属层接触。

26. 如权利要求 25 所述的 ROM 器件，还包括一对定义在每条字线上
25 的侧壁隔离物结构，所述侧壁隔离物结构不和所述难熔金属层接触。

ROM 存储器及其制造方法

5 技术领域

本发明涉及集成电路及制造半导体器件的工艺。更具体地说，本发明提供了一种用于制造存储器件的方法和器件，该存储器件包括具有新型的互连和隔离结构，可被嵌入其他应用中的 ROM 存储器件。但是应当认识到，本发明有着更广的应用范围。例如，本发明可被用于 PROM、
10 DRAM、EPROM、EEPROM 和其他器件。

背景技术

在过去的几十年中，集成电路已经从在单个硅芯片上制造少数互连器件发展到单个芯片上数百万个器件。性能与复杂度远远超过当初的想象。
15 为了提高复杂度和电路密度（即能够被封装在给定芯片面积内的器件的数量），最小器件线宽，也被称为器件的“几何形状”，随着每一代集成电路已经变得更小。现在正采用小于四分之一微米的线宽制造某些半导体器件。

例如，一种类型的集成电路器件是被称为存储器件的一类器件。存储
20 器件包括恰是最简单的设计之一的只读存储器（ROM）。ROM 器件将一个单元的离散状态存储为要么是“0”要么是“1”的状态。ROM 器件在被放入系统或子系统内以后只能被读取。在 ROM 的制造过程中，通常会将 ROM 器件编程成两种状态中的一种。一般来说，有两种不同的方法对 ROM 器件进行编程。这些方法包括场氧化编程及注入编程，即掩膜注入
25 式 ROM 器件。其中的每个方法都是物理上将一种离散的状态存入存储单元中。存储单元通常只是多个在阵列图案中形成的这样的单元中的一个。随着技术的发展，这种 ROM 阵列图案已经变得越来越密，使得在半导体材料的给定区域内封装越来越多的单元。但不幸的是，使用常规设计的 ROM 单元不能有效地收缩超越 0.35 微米设计规则。有很多隔离和导通的



限制。针对这类 ROM 器件的制造还存在其他的限制。

常规的高密度掩膜 ROM 器件采用各种平面单元 (flat-cell) 阵列布局。这样的阵列包括多条被掩埋在硅中的 N 摹杂 (BN+) 或 P 摹杂 (BP+) 的平行的位线以及在硅的上表面上垂直于这些位线制造的多条多晶硅/氧化物字线。这些 BN+或 BP+条带组以及多晶硅字线组通常是和一个存储单元对应的每个独立 MOS 器件单元的重要组成部分。这些组成部分也充当存储单元到其外围出线口的局部电子互连通路。为了减少晶片生产成本，多晶硅栅极/字线和掩膜 ROM 的外围部分中所使用的 CMOS 器件的多晶硅栅极被同时制造。不幸的是，这样的高密度 ROM 器件也具有很多缺点。例如，在两条相邻的位线之间有可能发生短路或在两个 PN 结处的穿通。此外，当缩小到越来越小的设计规则时，这些常规器件也有寄生的问题。这些以及其他限制通过本说明书在下面更具体地描述。

从上述的讨论，可以看到对改进的加工半导体器件的技术的需求。

15 发明内容

根据本发明，提供了一种包括用于制造半导体器件的方法的技术。更具体地说，本发明提供了一种用于制造存储器件的方法和器件，该存储器件包括具有新型的互连和隔离结构，可被嵌入其他应用中的 ROM 器件。但是应当认识到，本发明有着更广的应用范围。例如，本发明可以被用于掩膜 ROM、可编程 ROM、DRAM、EPROM、EEPROM 和其他固态存储器件中的平面单元存储器阵列，该存储器阵列包含多条在硅衬底上被掩埋的 N 摹杂 (BN+) 或 P 摹杂 (BP+) 的平行的位线以及在硅衬底的表面上垂直于这些位线制造的多条多晶硅/氧化物字线。

在一个具体实施例中，本发明提供了一种制作 ROM 存储器件的方法。这种方法包括在半导体衬底的单元区域内形成一个沟槽隔离结构。该单元区域是 ROM 存储器件的阵列区域。这种方法包括在单元区域内形成栅极结构和在栅极结构上形成侧壁隔离物，该隔离物被布置成在单元区域内和沟槽隔离结构的一部分重叠，用于将单元区域的被掩埋的位线区域和临近的单元区域分隔开。该方法用难熔金属层覆盖栅极结构，包括侧壁隔

离物和沟槽隔离结构的暴露部分。该方法还包括将难熔耐热的金属层熔合到栅极结构以及源/漏区域的暴露部分以形成覆盖在栅极结构和源/漏区域上的硅化物区域的步骤。难熔金属层被选择性地从侧壁隔离物和沟槽隔离结构的暴露部分去除。

5 在另一个具体实施例中，本发明提供了一种半导体集成电路存储器件结构。该器件包括具有用于 ROM 器件的存储单元阵列区域及外围区域的半导体衬底。每个存储单元包括存储单元区域内的沟槽隔离结构、存储单元区域内的栅极结构和临近栅极结构的源/漏区域。被掩埋的位线区域被连接到源/漏区域。侧壁隔离物位于栅极结构上。侧壁隔离物被优选地布置成在存储单元区域内和沟槽隔离结构的一部分重叠，用于将存储单元区域的被掩埋的位线区域和临近的存储单元区域分隔开，侧壁隔离物还被布置成和源/漏区域的一部分重叠。形成覆盖栅极结构的上部和源/漏区域的暴露部分的难熔金属层，同时保持侧壁隔离物和沟槽区域的暴露部分和难熔金属层不接触。

15 使用本发明，相对于传统技术得到了很多益处。例如：本技术提供了基于传统技术的便于采用的工艺。在一些实施例中，该方法提供了以每晶片管芯计算的更高的器件产率。此外，这种方法提供了无须对传统的装备和工艺做实质性修改就和传统工艺技术兼容的工艺。在一些方面，本发明提供了更可靠和更有效的高度集成的 ROM 单元。本发明可以用高度集成的器件，例如具有小于 0.35 微米的沟道长度的 ROM 单元来实现。在一个具体实施例中，本发明提供了电介质隔离或绝缘以减少潜在的寄生效应和相邻位线之间的穿通，即在其垂直多晶硅字线旁边的开放、非沟道区域中的 BN+ 或 BP+ 位线之间的穿通。此外，本发明还可在所有字线上方提供自对准硅化物（self-aligned silicide, salicide）多晶硅栅极金属接触结构，
20 而不会因金属化而将任何两个临近的位线短路。本发明优选地包括一种促进单步自对准金属化工艺的方法，该工艺同时应用于不会在被掩埋的 N+ 或 P+ 位线之间短路的平面单元存储器阵列和其外围的 CMOS 器件等，这些器件。根据实施方式，可以取得这些中一个或多个优点。这些以及其他优点将通过本说明书在下面被更具体地进一步描述。

附图说明

图 1 是根据本发明的一个实施例的阵列中的 ROM 存储器件的简化的顶视图；

5 图 2 是根据本发明的另外一个实施例的阵列中的 ROM 存储器件的简化的顶视图；

图 3 是根据本发明的一个实施例的图 2 中的 ROM 单元阵列的简化的横截面视图；

图 4 是根据本发明的另外一个实施例的图 2 中的 ROM 单元阵列的简化的横截面视图；

10 图 5 是根据本发明的另外一个实施例的 ROM 单元的简化的透视图。

具体实施方式

根据本发明，提供了一种包括用于制造半导体器件的方法的技术。更具体地说，本发明提供了一种用于制造存储器件的方法和器件，该存储器件包括具有新型的互连和隔离结构，可被嵌入其他应用中的 ROM 器件。
15 但是应当认识到，本发明有着更广的应用范围。例如，本发明可以被用于掩膜 ROM、可编程 ROM、DRAM、EPROM、EEPROM 和其他固态存储器件中的平面单元存储器阵列，该存储器阵列包含多条在硅衬底上被掩埋的 N 掺杂 (BN+) 或 P 掺杂 (BP+) 的平行的位线以及在硅衬底的表面上垂直于这些位线制造的多条多晶硅/氧化物字线。
20

图 1 是在根据本发明的一个实施例的阵列中的存储器件 100 的简化顶视图。该图仅仅是一个例子，在此不应该过度地限制权利要求的范围。本领域普通技术人员将能发现很多其他的变化、修改和替代形式。如图所示，提供了存储器阵列区域的器件的顶视图。存储器阵列区域包括多个存储单元。每个存储单元 107 包括只读存储器 (ROM) 器件，但是也可以是其他器件。还包括外围区域 109。外围区域包括逻辑电路、输入/输出驱动器，读出放大器和其他器件。外围区域还可以包括子系统器件，诸如例如数字信号处理、微处理器和微控制器器件的处理器件。阵列区域包括多个将各个单元相互分隔开的沟槽隔离区域 101。阵列区域还包括多条沿着第
25

一方向彼此平行地延伸的多晶硅字线 103。阵列区域还包括多条位线 105，它们是被掩埋区域。每条位线还连接到每个存储器件的源/漏区。

图 2 是根据本发明的另外一个实施例的阵列中的存储器件 200 的简化的顶视图。该图仅仅是一个例子，在此不应该过度地限制权利要求的范围。本领域普通技术人员将能发现很多其他的变化、修改和替代形式。在图 2 中使用和这里描述的其他一些附图中类似的参照标号，这些参照标号不是用于以任何方式进行限制，而只是被提供用于参考的目的。如图所示，提供了存储器阵列区域的器件的顶视图。存储器阵列区域包括多个被彼此隔离开的存储单元。每个存储单元 107 包括只读存储器（ROM）器件，但是也可以是其他器件。所示出的是外围区域 109。外围区域包括逻辑电路、输入/输出驱动器，读出放大器和其他器件。外围区域还可以包括子系统器件，诸如例如数字信号处理、微处理器和微控制器器件的处理器件。阵列区域包括多个将各个单元相互分隔开的沟槽隔离区域 101。阵列区域还包括多条沿着第一方向彼此平行地延伸的多晶硅字线 103。阵列区域还包括多条位线 105，它们是被掩埋区域。每条位线还连接到每个存储器件的源/漏区。临近多晶硅字线形成侧壁隔离物 201。在字线的顶部及位线的顶部包括降低字线及位线的阻值的难熔金属。难熔金属层可以包括硅化钛层、硅化钨层、硅化钴层或者它们的任何组合以及其他。下面提供了示出 Y 和 Y₂ 以及 Y 和 Y₁ 之间的横截面的阵列区域的横截面视图。

图 3 是根据本发明的一个实施例的图 2 中的单元阵列的简化横截面视图。该图仅仅是一个例子，在此不应该过度地限制权利要求的范围。本领域普通技术人员将能发现很多其他的变化、修改和替代形式。在图 3 中使用和这里描述的其他一些附图中类似的参照标号。如图所示，横截面视图是在 Y 和 Y₁ 之间，该图横断衬底 301 内的位线结构。侧视图包括覆盖在电介质层 309 上的字线 103。电介质层是栅极电介质层。这种栅极电介质层可以包括二氧化硅、氮化硅或者它们的任何组合等。还包括被掩埋的位线 105。临近字线结构用传统工艺形成侧壁隔离物 201。形成难熔金属层 305 覆盖字线的顶部。还形成难熔金属层 307 覆盖起到源/漏区域作用的被掩埋的位线的暴露部分。覆盖在被掩埋的位线上的难熔金属层减少了被掩

埋的位线的阻值。下面提供了阵列结构的更进一步的横截面。

图 4 是根据本发明的另外一个实施例的图 2 中的单元阵列的简化横截面视图。该图仅仅是一个例子，在此不应该过度地限制权利要求的范围。本领域普通技术人员将能发现很多其他的变化、修改和替代形式。在图 4 中使用和这里描述的其他一些附图中类似的参照标号。如图所示，横截面视图是在 Y 和 Y2 之间，该图横断沟槽隔离结构。侧视图包括覆盖在电介质层 309 上的字线 103。电介质层是栅极电介质层。这种栅极电介质层可以包括二氧化硅、氮化硅或者它们的任何组合等。还包括被掩埋的位线 105。临近字线结构用传统工艺形成侧壁隔离物 201。侧壁隔离物包括一个覆盖在沟槽区域的一部分上的部分。覆盖字线的顶部形成有难熔金属层 305。沟槽区域 101 的上部部分 401 基本上不和任何导电层，例如难熔金属层接触。因此，利用在各个单元区域之间提供的沟槽隔离 101，第一存储单元区域 401 被从第二存储单元区域 403 隔离开。沟槽隔离区域形成到被掩埋的位线区域下方的深度。下面提供本发明的进一步的细节。

图 5 是根据本发明的另外一个实施例的单元的简化的透视图 500。该图仅仅是一个例子，在此不应该过度地限制权利要求的范围。本领域普通技术人员将能发现很多其他的变化、修改和替代形式。在图 5 中使用和这里描述的其他一些附图中类似的参照标号。如图所示，透视图把被掩埋的位线和沟槽区域在一幅图中示出。侧视图包括覆盖在电介质层 309 上的字线 103。电介质层是栅极电介质层。这种栅极电介质层可以包括二氧化硅、氮化硅或者它们的任何组合等。覆盖字线的顶部形成难熔金属层 305。还包括被掩埋的位线 105。用传统工艺形成了临近字线结构并沿着一段字线结构的侧壁隔离物 201。侧壁隔离物包括覆盖沟槽区域的一部分 501 形成的部分 505，将字线或单元与临近单元隔离开。隔离物还包括临近被掩埋的位线的部分 507。沟槽区域 101 的上部部分 401 基本上不和任何导电层，例如难熔金属层接触。沟槽隔离区域形成到被掩埋的位线区域下方的深度。覆盖也是被掩埋的位线的源/漏区域形成了难熔金属层 307。

根据本发明的一个实施例的一种方法可以简单地概括如下：

1. 预备半导体衬底；

2. 在该衬底中定义出 ROM 单元区域;
3. 在该半导体衬底的单元区域内形成沟槽隔离结构，同时在存储器件的外围区域内也形成沟槽隔离结构;
4. 在衬底内形成被掩埋的 N+或 P+位线结构的阵列;
5. 在单元区域内形成栅极结构;
6. 在栅极结构上形成侧壁隔离物，该侧壁隔离物结构覆盖单元区域内的沟槽隔离结构的一部分，将单元区域的被掩埋的位线区域和临近的单元区域分隔开;
7. 施加难熔金属层，覆盖在包括侧壁隔离物和沟槽隔离结构的暴露部分的栅极结构上;
- 10 8. 将难熔金属层熔合到栅极结构以及源/漏区域的暴露部分以形成覆盖在栅极区域和源/漏区域上的硅化物区域；并且
9. 从侧壁隔离物和沟槽隔离结构的暴露部分选择性地去除难熔金属层。

15 以上系列步骤提供了一般性步骤，它们已在上述图中被示出。这些步骤被用于形成 ROM 集成电路器件的自对准难熔金属层。根据实施方式，可以有很多变化、替换或修改。

根据本发明的另外一个实施例的一种方法可以简单地概括如下：

1. 预备半导体衬底;
- 20 2. 在该衬底中定义 ROM 单元区域和外围区域;
3. 在该半导体衬底的单元区域内形成沟槽隔离结构;
4. 在衬底内形成被掩埋的 N+或 P+位线结构阵列;
5. 在单元区域内形成栅极结构，并在外围区域内形成栅极结构;
6. 在外围区域和单元区域内的栅极结构上形成侧壁隔离物，该侧壁隔
25 离物结构覆盖单元区域内的沟槽隔离结构的一部分，将单元区域的被掩埋的位线区域和临近的单元区域分隔开;
7. 施加难熔金属层，覆盖在单元区域和外围区域内的包括侧壁隔离物和沟槽隔离结构的暴露部分的栅极结构上;
8. 将难熔金属层熔合到栅极结构以及源/漏区域的暴露部分以形成覆盖

在栅极结构和源/漏区域上的硅化物区域；

9. 使用自对准工艺选择性地从侧壁隔离物和沟槽隔离结构的暴露部分去除难熔金属层以将难熔金属层图案化。

10. 施加隔离层，覆盖在难熔金属层及其他结构上；并且

5 11. 进行所需要的其他步骤；

以上系列步骤提供了一般性步骤，它们已在上述图中被示出。这些步骤被用于形成 ROM 集成电路器件和外围区域中的器件的自对准难熔金属层。根据实施方式，可以有很多变化、替换或修改。

可以理解，这里所描述的例子和实施例仅仅是用作说明的目的，根据
10 它们的各种修改和变化对本领域熟练技术人员将有所启发，这些变化和修改都应该被包括在本申请以及所附权利要求的精神和范围之内。

说 明 书 附 图

03NI0352

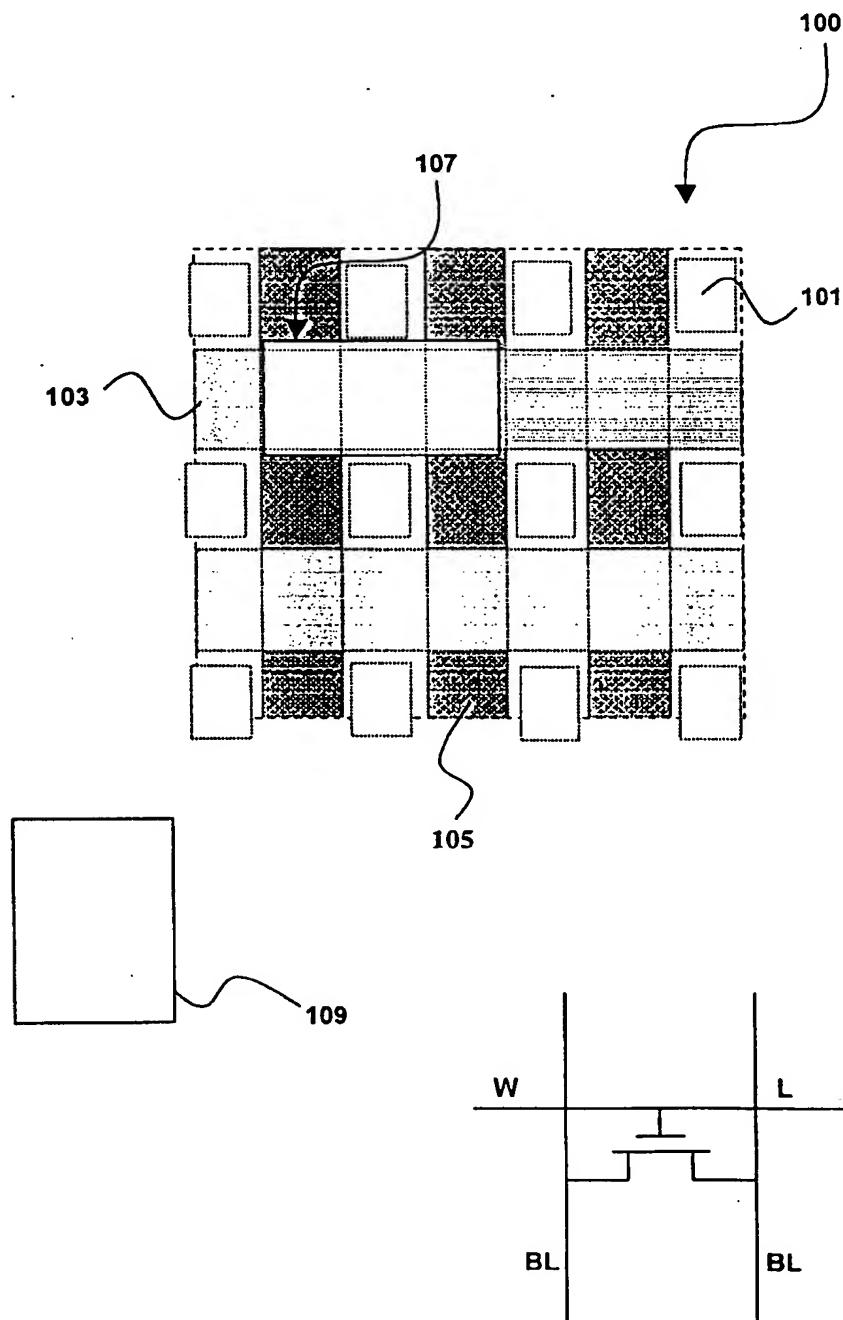


图 1

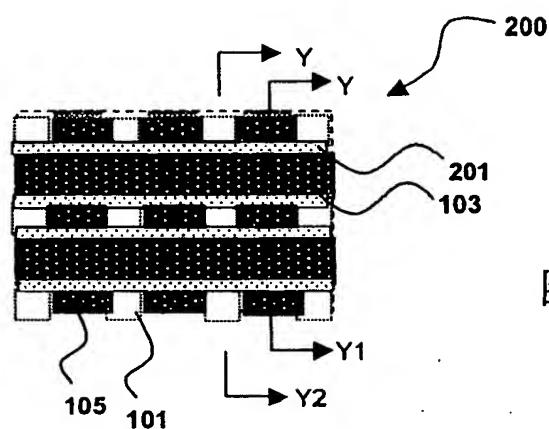
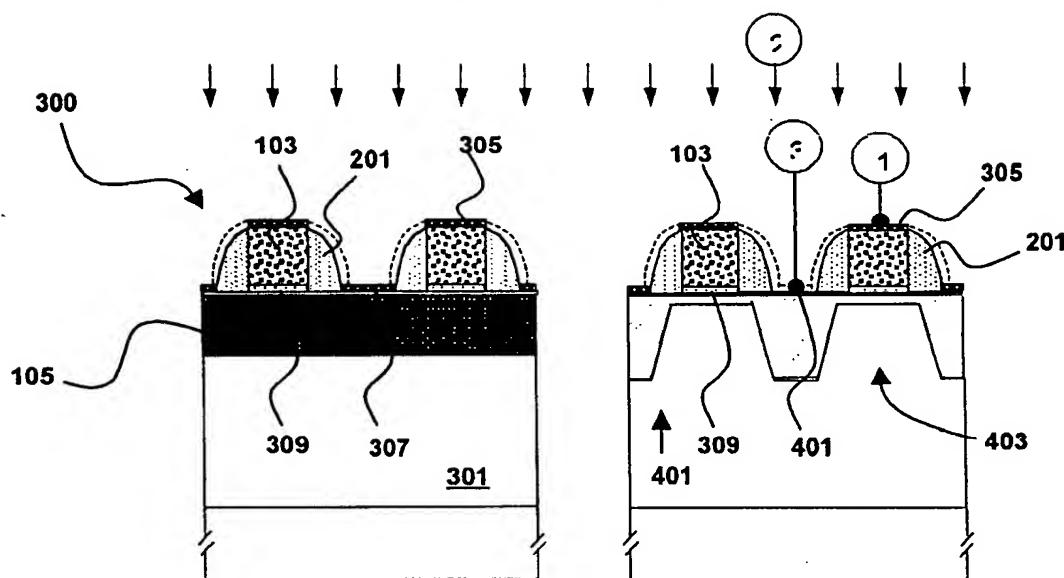


图 2



Cell Array Y1-Y1

Cell Array Y2-Y2

图 3

图 4

2014-01-112

18

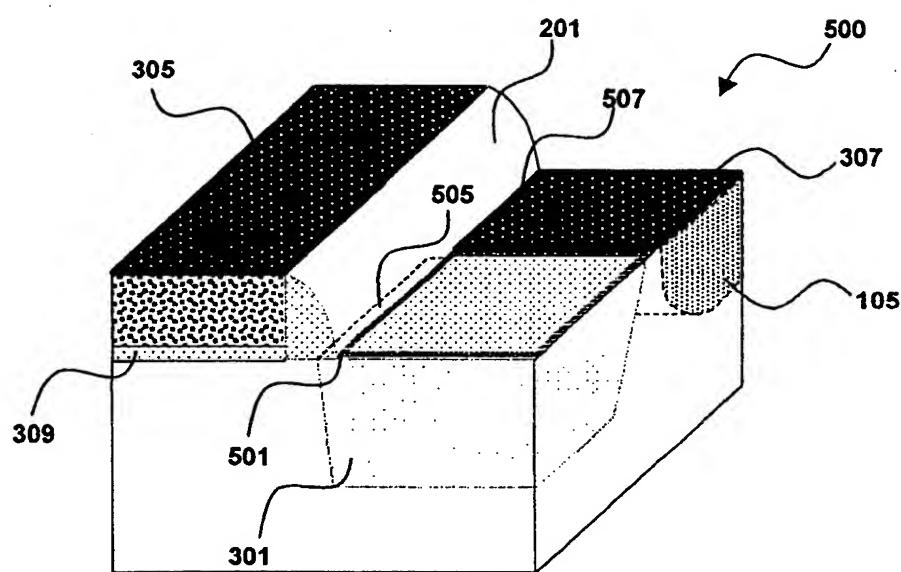


图 5